

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT

Docket No. JCLA11474

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : KENNY CHANG et al.

Application No. : 10/737,011

Filed : December 15,2003

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

April 5, 2004

(Date)

For : CHIP PACKAGE STRUCTURE

 Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

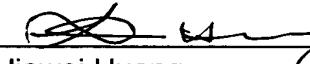
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 92212987 filed on July 16, 2003.

A return prepaid postcard is also included herewith.

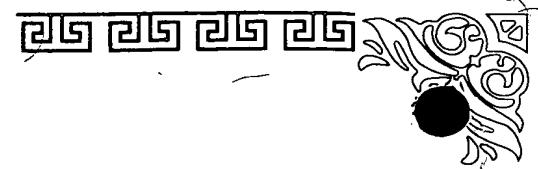
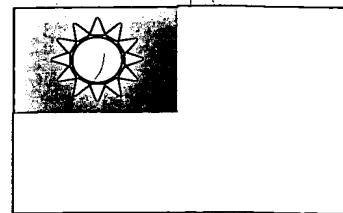
It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA11474).

Date: 4/5/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 07 月 16 日
Application Date

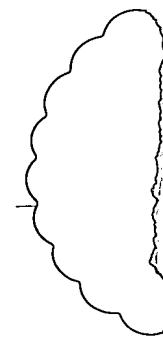
申 請 案 號：092212987
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長

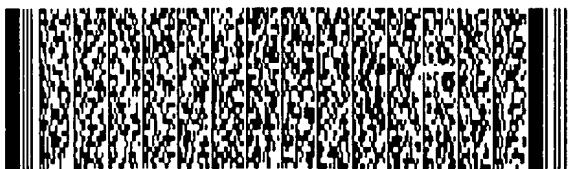
Director General

蔡 繼 生



發文日期：西元 2004 年 1 月 2 日
Issue Date

發文字號：
Serial No. 09320002170

申請日期：	IPC分類	
申請案號：		
(以上各欄由本局填註)		
新型專利說明書		
一、 新型名稱	中文	晶片封裝結構
	英文	Chip Package Structure
二、 創作人 (共3人)	姓名 (中文)	1. 張文遠
	姓名 (英文)	1. Kenny Chang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
代表人 (中文)	1. 王雪紅	
代表人 (英文)	1. Hsiueh-Hong WANG	
		
114741wf.psd		

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一 新型名稱	中文	
	英文	
二 創作人 (共3人)	姓名 (中文)	2. 蔡鴻寅
	姓名 (英文)	2. Hung-Yin Tsai
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路533號8樓
住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.	
三 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



11474twf.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	
	英文	
二、 創作人 (共3人)	姓名 (中文)	3. 李穎妮
	姓名 (英文)	3. Nicole Li
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 台北縣新店市中正路533號8樓
	住居所 (英文)	3. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文創作摘要 (創作名稱：晶片封裝結構)

一種晶片封裝結構主要係由一承载器、一晶片、多個被動元件、多條導線以及一封膠所構成。其中，被動元件跨置於承载器之一電源接點以及一接地接點之間，且導線可直接跨越於被動元件之上方，而導線之兩端則分別連接至晶片之一接合墊以及承载器最外側之一訊號接點。由於導線不會接觸到被動元件之接腳，並且被動元件鄰近於承载器之一晶片接合區的一側，因而增加導線之佈設空間。

伍、(一)、本案代表圖為：第 3B 圖

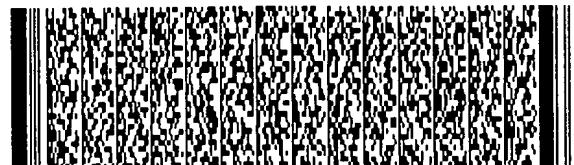
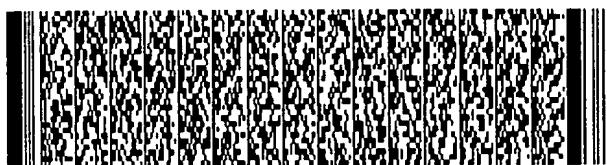
(二)、本案代表圖之元件代表符號簡單說明：

200：晶片封裝結構

210：承载器

英文創作摘要 (創作名稱：Chip Package Structure)

A chip package structure is composed of a carrier, a chip, and a plurality of passive components coupled with a power pad and a ground pad on the carrier, and a plurality of wires passing over the passive component directly. The two ends of the wire can respectively connect to a bonding pad of the chip and a signal pad on the far end of the carrier. Therefore, wires will not touch the terminals of the passive component. Meanwhile, the passive component is close to one side of chip bonding area on the carrier, so that



四、中文創作摘要 (創作名稱：晶片封裝結構)

212：晶片接合區

214a：接地接點

216b：電源接點

218：訊號接點

220：晶片

222：晶片背面

224：主動表面

226：接合墊

230：被動元件

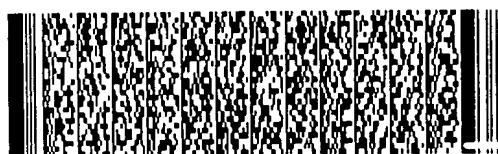
232a、232b：接腳

234、236：第一導線

238：第二導線

英文創作摘要 (創作名稱：Chip Package Structure)

the layout area of the wires will be increased.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項第一款但書或第二款但書規定之期間

日期：



五、創作說明 (1)

【新型所屬之技術領域】

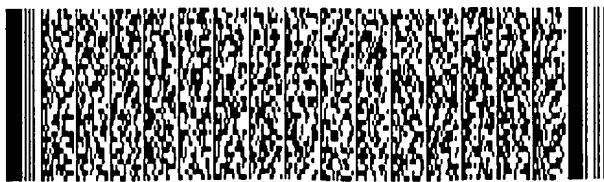
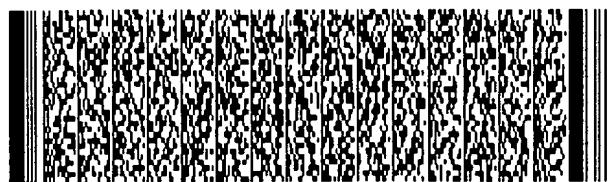
本創作是有關於一種晶片封裝結構，且特別是有關於一種適用於打線接合型態之晶片封裝結構。

【先前技術】

由於半導體技術的演進，在市場需求提高下，使得半導體產業不斷地發展出更精密、更快速的電子元件，以目前半導體封裝的技術而言，比如晶片構裝的技術、晶片載板 (chip carrier) 的製作以及被動元件 (passive component) 的組裝等，均在半導體產業中佔有不可或缺的地位。

就晶片構裝的技術而言，每一顆由晶圓 (wafer) 切割所形成的裸晶片 (die)，例如以導線接合 (wire bonding) 或覆晶接合 (flip chip bonding) 等方式，配置於一承載器 (carrier) 之表面，其中承載器例如為導線架 (leadframe) 或基板 (substrate)，而晶片之主動表面 (active surface) 則具有多個接合墊，使得晶片之接合墊得以經由承載器之傳輸線路及接點，而電性連接至外部之電子裝置。此外，利用打線接合之晶片，其接合墊與基板之接點作電性連接之後，再形成一封膠材料將晶片及導線加以包覆，用以保護晶片以及導線，如此即完成一晶片封裝結構。

請參考第1圖，其繪示習知一種打線接合型態之晶片封裝結構的局部剖面圖。晶片封裝結構100主要係由一承載器110、一晶片120、多條導線134、136、138以及一封

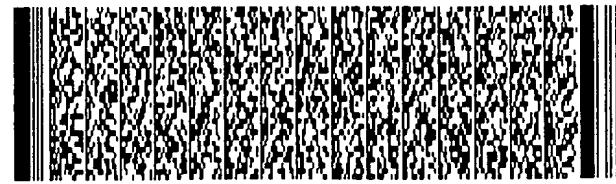
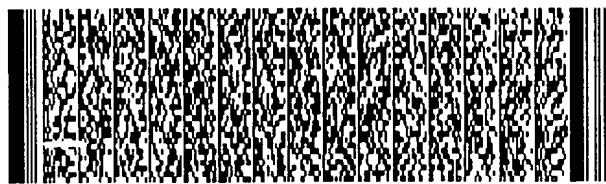


五、創作說明 (2)

膠 (未繪示) 所構成。承載器 110 之表面具有一晶片接合區 112，而晶片 120 之背面 122 係貼附在晶片接合區 112 上，且晶片 120 之主動表面 124 具有多個接合墊 126，其分別對應於承載器 110 之表面上的多個接點，其中這些接點由內而外之順序例如為接地接點 114、電源接點 116 以及訊號接點 118 等。此外，這些導線 134、136、138 之兩端則分別對應連接晶片 120 之這些接合墊 126 至其所對應之接地接點 114、電源接點 116 以及訊號接點 118。

請參考第 2 圖，其繪示第 1 圖之晶片封裝結構的俯視示意圖。值得注意的是，為了有效提昇晶片封裝結構 100 的電氣特性，通常是利用表面黏著技術 (Surface Mount Technology, SMT) 將小型被動元件 (passive component) 130 貼附在承載器 110 上，且位於晶片 120 之角落區域，用以減少訊號在切換時所產生之雜訊串音干擾 (cross talk)，並維持訊號傳輸品質。其中，被動元件 130 例如為電感元件 (inductor) 或電容元件 (capacitor)，而被動元件 130 跨置於承載器 110 之電源接點 116 以及接地接點 114 之間，且被動元件 130 之二接腳 132a、132b 分別連接至電源接點 116 以及接地接點 114。

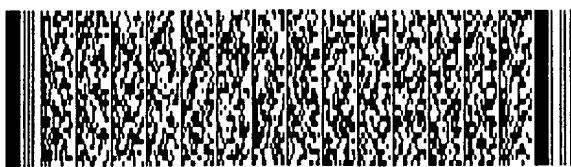
然而，受限於導線接合之佈線空間，被動元件 130 所在的位置通常是在承載器 110 之鄰近晶片 120 的角落區域，或是遠離承載器 110 之晶片接合區 112 以及訊號接點 118 之間的區域，藉以避免訊號導線 138 因接觸到被動元件 130 之接腳 132a、132b 而發生短路的現象。



【新 型 內 容】

因此，本創作的目的就是在提供一種晶片封裝結構，用以增加被動元件導線之數目，並且不影響導線之佈設空間。

為達本創作之上述目的，本創作更提出一種晶片承載點、一晶片接合區，一晶片接合區，其具有二表面，且二表面具有二晶片接合點，該二晶片接合點以二訊號接點連接，該二訊號接點以二地接點連接，該二地接點以二承載器連接，該二承載器以二結構連接。



五、創作說明 (4)

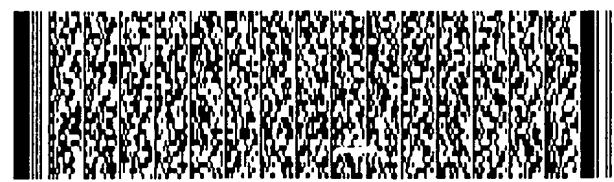
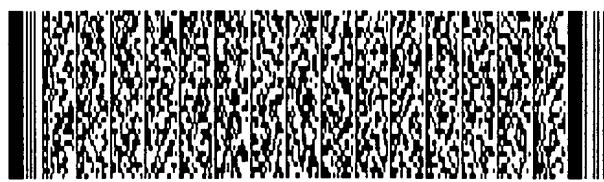
而電源接點、該接地接點以及訊號接點均配置於表面，且電源接點以及接地接點係位於晶片接合區之外圍，而訊號接點係位於電源接點以及接地接點之較遠離晶片接合區的點外側。此外，至少一被動元件係跨置於承載器之電源接腳，其分別連接至電源接點以及接地接點，且被動元件位於晶片之接合墊與相對應之訊號接點之間的區域上。

基於上述，本創作之晶片封裝結構乃是設計將被動元件鄰近承載器之晶片接合區，並讓導線直接跨越於被動元件之上方，但不會接觸到被動元件之接腳，故可相對增加導線之佈設空間。

為讓本創作之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第3A及3B圖，其中第3A圖繪示本創作一較佳實施例之一種晶片封裝結構的俯視示意圖，而第3B圖繪示第3A圖之晶片封裝結構的局部剖面圖。晶片封裝結構200主要係由一承載器210、一晶片220、多個被動元件230、多個第一導線234、236、多個第二導線238以及一封膠（未繪示）所構成，其中承載器210例如為一基板，其表面具有一晶片接合區212，而晶片220之背面222係貼附在晶片接合區212上，且晶片220之主動表面224具有多個接合墊226，其分別對應於承載器210之表面的多個接點，這些接

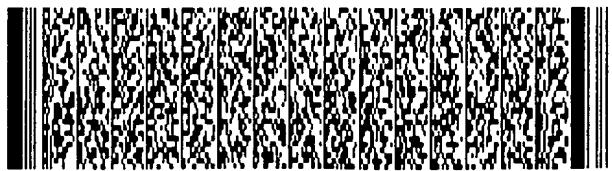
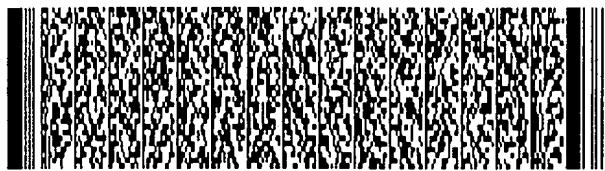


五、創作說明 (5)

點例如為接地接點214a、電源接點216a以及訊號接點218等。

如第3A及3B圖所示，在本實施例中，其中電源接點216a以及接地接點214a例如分別由環繞於晶片接合區212之外圍的一電源環216以及一接地環214的局部區域所形成，以作為連接第一導線234、236或被動元件230之用（如第3B圖所示）。此外，訊號接點218係位於電源接點216a以及接地接點214a之一側，而訊號接點218更相對遠離晶片接合區212且位於電源接點216a以及接地接點214a之外側，其中電源接點216a、接地接點214a、訊號接點218以及晶片接合區212之所暴露的面積可藉由圖案化之一鋸罩層（未繪示）來加以定義。

另外，請參考第3A及3B圖，被動元件230跨置於電源接點216a以及接地接點214a之間，且被動元件230具有至少二接腳232a、232b，其利用表面黏著技術（SMT）而分別鋸接在電源接點216a以及接地接點214a之表面，用以減少訊號在切換時所產生之雜訊串音干擾，並維持訊號傳輸品質。其中，被動元件230例如為小型電感元件或電容元件，而被動元件230配置於晶片220之接合墊226以及訊號接點218之間的區域，且被動元件230鄰近於晶片接合區212之一側，而不會影響第二導線238之佈設空間。因此，第二導線238可直接跨越於被動元件230之上方，且利用第二導線238之本身的弧形，而不會接觸到被動元件230之接腳232a，故可相對增加承載器210之空間利用性。再者，



五、創作說明 (6)

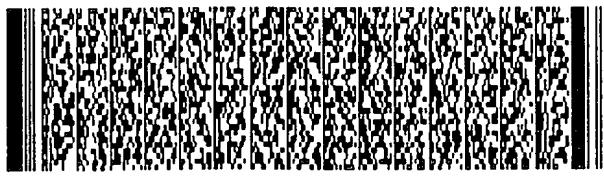
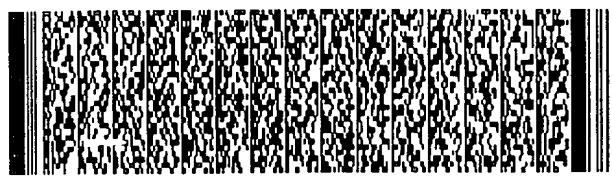
在本實施例中，第一導線236亦可跨越於被動元件230之上方，使得第一導線236之一端可鋸接在電源接點216a上，而另一第一導線234之一端則可鋸接於被動元件230之鄰側的接地接點214a上。

由上述之說明可知，本創作之晶片封裝結構係先跨置至少一被動元件於承載器之電源接點以及接地接點之間，而被動元件之二接腳分別連接電源接點以及接地接點，且兩接腳分別連接晶片之接合墊至其端所來連接晶片將跨越與承載器最外側之訊號接點，同時第二導線將會與承載器之上方。最後，完成導線接合製程之晶片以及第一、第二導線，如此即可完成一晶片封裝結構。

綜上所述，本創作之晶片封裝結構具有下列優點：

(1) 被動元件可放置於導線的下方，意即導線可直接跨越於被動元件之上方，而不會接觸到被動元件之接腳，且被動元件鄰近於晶片接合區之一側，故可增加被動元件之數量，並且不影響導線之佈設空間，且相對增加承載器之空間利用性。

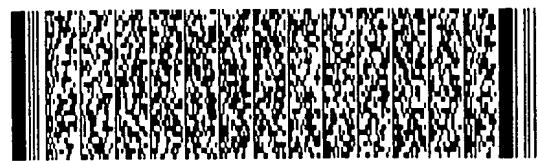
(2) 位於導線下方之被動元件，其二接腳可分別鋸接在承載器之一電源接點以及一接地接點之表面，且相當接近晶片的電源導線及接地導線之鋸點，以達到減少訊號



五、創作說明 (7)

在切換時所產生之雜訊串音干擾，並可提昇晶片封裝結構的電氣特性。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知一種打線接合型態之晶片封裝結構的局部剖面圖。

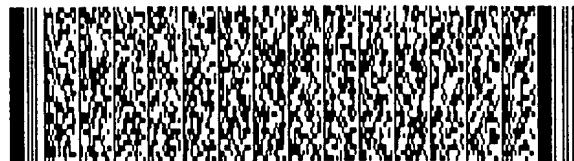
第2圖繪示第1圖之晶片封裝結構的俯視示意圖。

第3A圖繪示本創作一較佳實施例之一種晶片封裝結構的俯視示意圖。

第3B圖繪示第3A圖之晶片封裝結構的局部剖面圖。

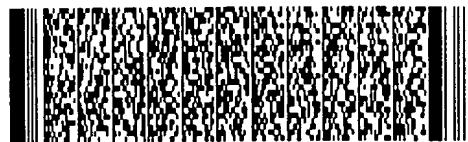
【圖式標示說明】

- 100 : 晶片封裝結構
- 110 : 承載器
- 112 : 晶片接合區
- 114 : 接地接點
- 116 : 電源接點
- 118 : 訊號接點
- 120 : 晶片
- 122 : 晶片背面
- 124 : 主動表面
- 126 : 接合墊
- 130 : 被動元件
- 132a、132b : 接腳
- 134、136、138 : 導線
- 200 : 晶片封裝結構
- 210 : 承載器
- 212 : 晶片接合區
- 214 : 接地環



圖式簡單說明

- 214a : 接地接點
- 216 : 電源環
- 216b : 電源接點
- 218 : 訊號接點
- 220 : 晶片
- 222 : 晶片背面
- 224 : 主動表面
- 226 : 接合墊
- 230 : 被動元件
- 232a 、 232b : 接腳
- 234 、 236 : 第一導線
- 238 : 第二導線



六、申請專利範圍

1. 一種晶片封裝結構，至少包括：

一承載器，具有一表面、一電源接點、一接地接點以及一訊號接點，且該表面具有一晶片接合區，而該電源接點、該接地接點以及該訊號接點均配置於該表面，且該電源接點以及該接地接點係位於鄰近該晶片接合區之外圍，而該訊號接點係位於該電源接點以及該接地接點之較遠離該晶片接合區的外側；

一晶片，配置於該承載器之該表面，而該晶片具有一主動表面以及對應之一背面，且該晶片係以該背面貼附於該晶片接合區，且該晶片更具有複數個接合墊，其配置於該主動表面；

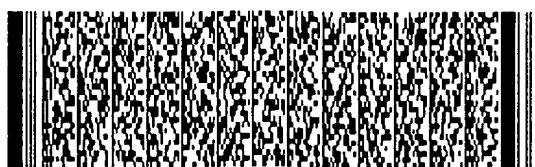
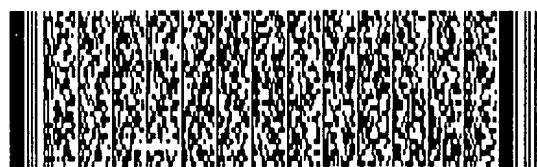
至少一被動元件，跨置於該承載器之該電源接點以及該接地接點之間，該被動元件具有至少二接腳，其分別連接至該電源接點以及該接地接點；

複數個第一導線，其兩端分別連接該晶片之該些接合墊之一至其所對應之該電源接點以及該接地接點；

至少一第二導線，其兩端分別連接該晶片之該些接合墊之另一以及該訊號接點，且該第二導線係跨越於該被動元件之上方；以及

一封膠，包覆該晶片、該被動元件、該些第一導線以及該第二導線。

2. 如申請專利範圍第1項所述之晶片封裝結構，其中該些第一導線之至少一係跨越於該被動元件之上，且其餘之該些第一導線則位於該被動元件之鄰側。



六、申請專利範圍

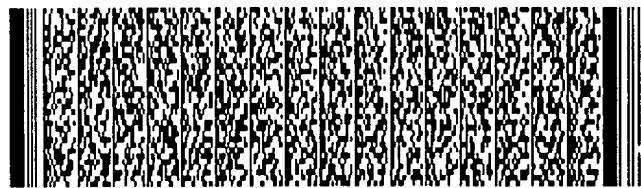
3. 如申請專利範圍第1項所述之晶片封裝結構，其中該被動元件包括電感元件以及電容元件其中之一。

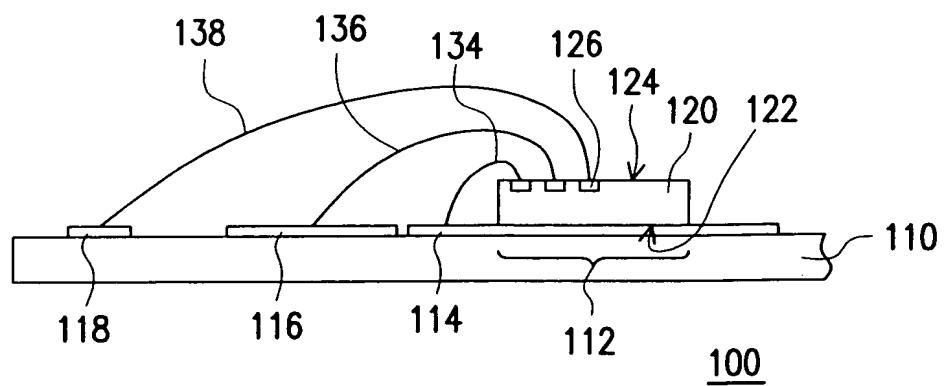
4. 一種晶片承載結構，適用於打線接合型態之一晶片的承載，該晶片具有至少一接合墊，該晶片承載結構至少包括：

一承載器，具有一表面、一電源接點、一接地接點以及一訊號接點，且該表面具有一晶片接合區，而該電源接點、該接地接點以及該訊號接點均配置於該表面，且該電源接點以及該接地接點係位於鄰近該晶片接合區之外圍，而該訊號接點係位於該電源接點以及該接地接點之較遠離該晶片接合區的外側；以及

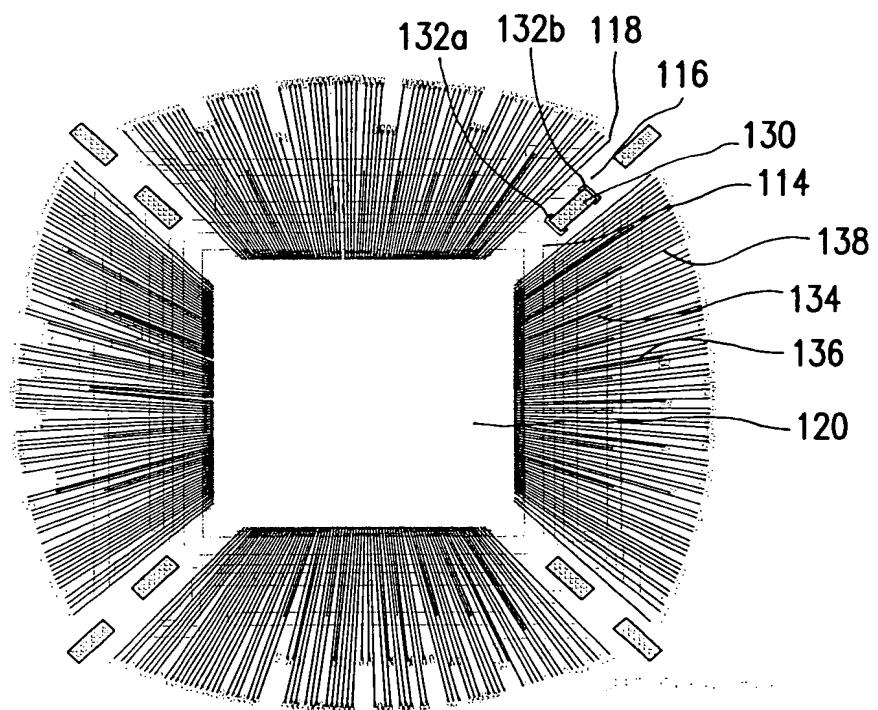
至少一被動元件，跨置於該承載器之該電源接點以及該接地接點之間，該被動元件具有至少二接腳，其分別連接至該電源接點以及該接地接點，且該被動元件位於該晶片之該接合墊與相對應之該訊號接點之間的區域上。

5. 如申請專利範圍第4項所述之晶片承載結構，其中該被動元件包括電感元件以及電容元件其中之一。

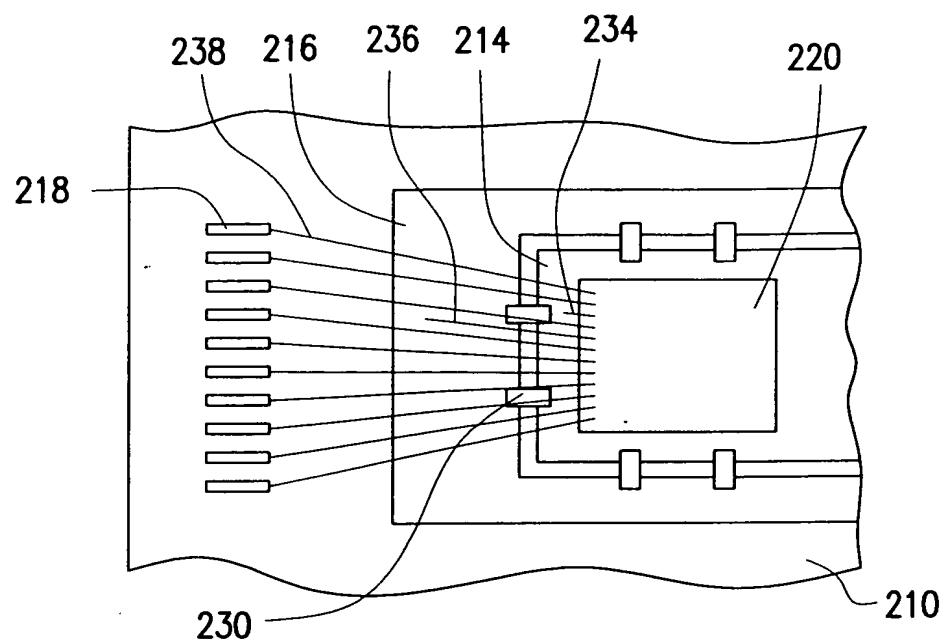




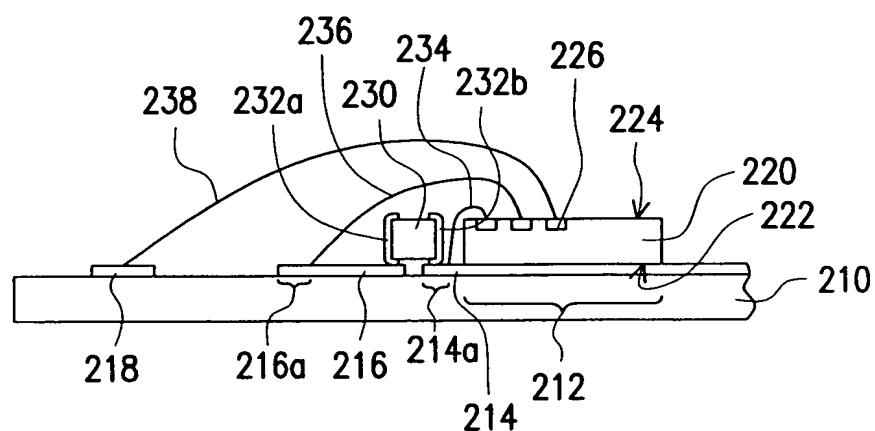
第 1 圖



第 2 圖 100



第 3A 圖

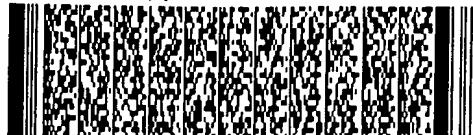


第 3B 圖

第 1/17 頁



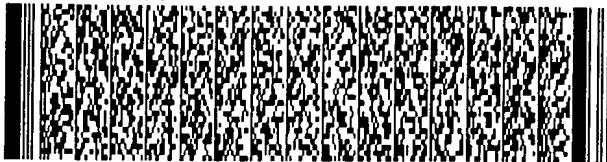
第 2/17 頁



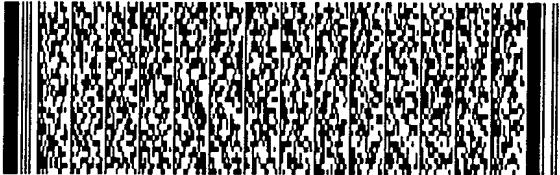
第 3/17 頁



第 4/17 頁



第 4/17 頁



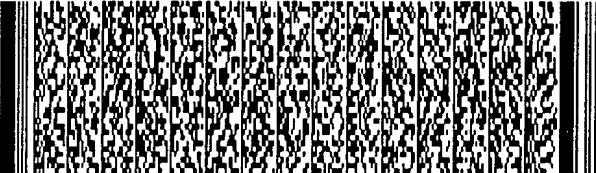
第 5/17 頁



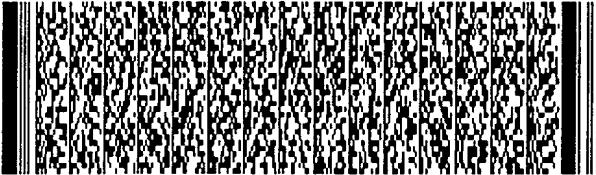
第 7/17 頁



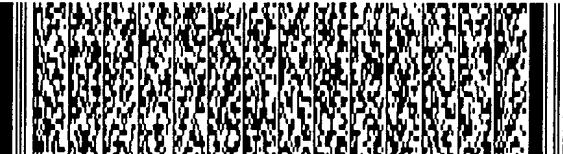
第 7/17 頁



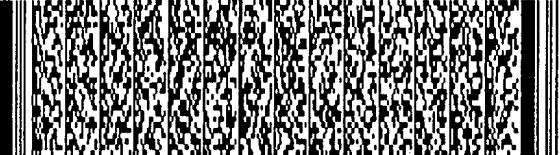
第 8/17 頁



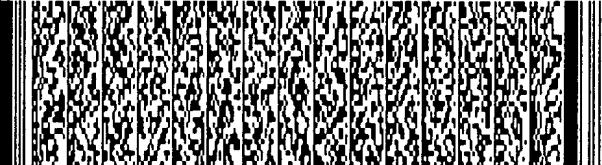
第 9/17 頁



第 9/17 頁



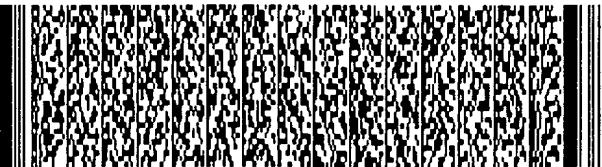
第 10/17 頁



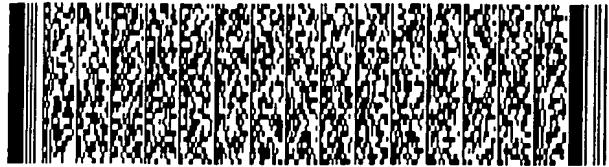
第 10/17 頁



第 11/17 頁



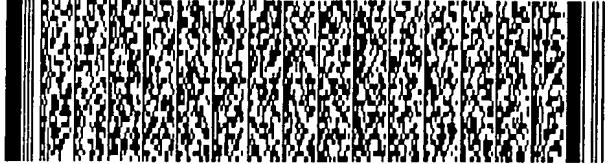
第 11/17 頁



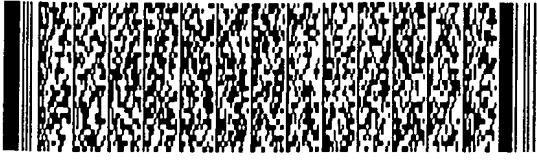
第 12/17 頁



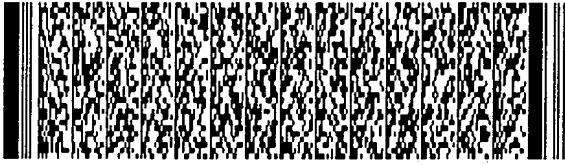
第 12/17 頁



第 13/17 頁



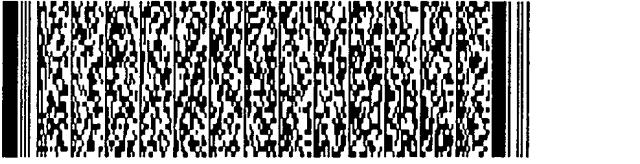
第 14/17 頁



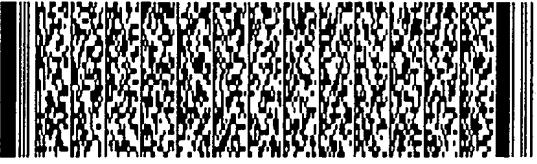
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

